

## 一种 PON 结构航空总线协议芯片的内存架构

周鹏飞, 宗竹林, 肖 龙

(电子科技大学 电子科学技术研究院, 四川 成都 611731)

**摘 要:** 在分析了基于 PON 结构的 FC—AE 总线的基础上, 以提高系统传输效率、降低总线功耗为目的, 提出了一种使用基于共享存储器和循环存储的数据存储, 采取双缓存任务执行机制和内存动态访问控制机制的内存访问方式。软硬件协同测试结果表明, 该内存架构具有任务执行效率高, 系统交互时间少和动态功耗低的特点。

**关键词:** 无源光网络; 光纤通道; 航电总线; 低功耗

**中图分类号:** TN402

**文献标识码:** A

**文章编号:** 1000—7180(2013)09—0005—04

## The Memory Architecture of PON Structure Avionic Bus Protocol Chip

ZHOU Peng-fei, ZONG Zhu-lin, XIAO Long

(Institute of Electronic Science and Technology, University of Electronic Science and  
Technology of China, Chengdu 611731, China)

**Abstract:** In order to improve the efficiency of the data storage and reduce bus power consumption, a kind of memory architecture with the characteristics of shared storage, circular storage, and global double buffering mechanism has been presented, which is based on the analyses of transmission characteristics of FC—AE bus rely on PON structure. The experimental results show that this architecture has merits of high reliable performance, low delay time and low power dissipation, by testing the co—verification platform with the hardware and software.

**Key words:** passive optical network (PON); fiber channel; avionic bus; low—power

### 1 引言

在光纤协议中, FC—AE—1553B 是基于 MIL—STD—1553B 而发展起来的实时性协议, 但标准航空总线协议并没有对网络的拓扑结构进行明确的约束。目前在航电总线领域对光纤网络性能的分析研究主要集中在光纤(Fibre Channel, FC)协议的建模, 实现和组网应用等方面的研究。例如文献[1]研究了 FC 网络复杂混合拓扑的建模与仿真, 对机载 FC 网络做出性能评价; 文献[2]对基于无源光网络(Passive Optical Network, PON)结构的拓扑组网方式进行了建模分析设计; 文献[3]分析比较了点对点、仲裁环和交换式三种常见光纤航电总线组网方式, 对不同传输方式的优缺点进行了对比。

各种拓扑结构的实现方式, 都没有对总线协议的实现方式中的内存访问架构进行分析优化。本文针对拓扑结构中性能较优的基于 PON 结构的点对点传输提出一种内存访问架构, 改善了 NT 到 NT 传输模式下的 NC 数据转发延迟; 并且采用基于硬件的内存动态访问架构, 降低了系统的传输功耗。

### 2 基于 PON 结构的 FC—AE 总线

PON 技术正是为了支持点到多点应用发展起来的光接入技术。PON 网络拓扑结构组网是一种下行一点到多点, 上行多点到一点的网络双向传输结构, 如图 1 所示。整个协议网络由 3 类节点构成: PON 网络控制器(PON Network Controller, PNC), PON 网络终端(PON Network Terminal,

收稿日期: 2012—11—20; 修回日期: 2012—12—22

基金项目: 航空科学基金(20090580013, 20110580002); 中央高校基础研究基金(ZYGX2009J092)

PNT), PON 光分配器 (PON Optical Distribution Node, PODN). 其中, PNC 是整个网络的控制核心, 负责终端传输请求查询、总线同步、数据传输协调以及错误处理和备份传输数据的功能. PNT 是连接总线与应用设备之间的终端, 用来实现应用设备与总线之间的通信功能. PODN 负责执行光信号的下行分配和上行收集与传输功能. PODN 是无源器件, 故整个网络的互联传输具有非常低的功耗. 网络的上下行线路分别采用不同波长的光源作为载体进行传输. 由于 PON 在上下行数据传输时采用波分复用方式, 因此本组网方式的上下行数据通信可以实现全双工传输.

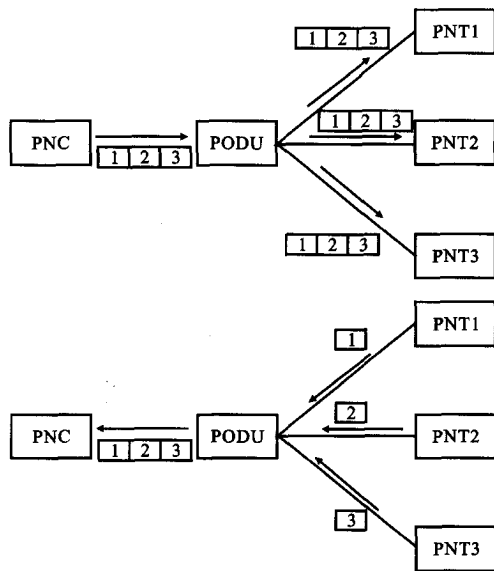


图1 PON结构的上行传输和下行传输

### 3 内存访问架构设计

#### 3.1 NC 内存架构设计

根据航空总线协议, NC 作为网络的控制端, 它的次级节点可以高达  $2 \times 10^4$  个, 如何动态设计任务的执行流程, 实现与上位机的实时交互成为设计的重点. 我们采用了一种与上层软件相结合的动态共享存储分配机制, NC 存储空间可以动态的分配给最近一段时间需要与它通信的 NT. 在通信任务结束后根据控制器的设计进行任务堆栈的切换, 以实现上位机对芯片进行任务配置和芯片执行任务的无缝连接. 图 2 是 NC 的内存管理示意图.

通过对“任务计数器”的设置反映连续执行的任务个数, 最多可连续执行 80 组不同任务. 每组任务对应“描述栈”中的四个字, 依次表示任务开始执行时芯片的相应状态、时标值, 和由上位机提前配置好的多任务时间间隔以及信息块地址指针.

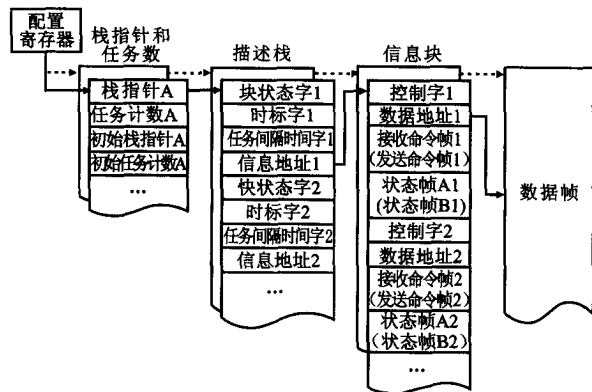


图2 NC存储器管理示意图

对任务执行配置区域采取了双缓冲机制, 即栈指针、描述栈和信息块都分为“活跃区”和“非活跃区”. 通过控制寄存器的不同设置选择当前“活跃区”, 由芯片内部逻辑进行读写访问, 同时, 上位机可以通过 PC 接口对“非活跃区”进行配置, 以便执行完当前任务后无需等待, 可以立即切换到另一组任务 (原来的非活跃区), 这极大的提高了任务执行的效率.

共享存储机制是存储数据的空间在芯片内部逻辑和外部接口的读写访问下进行及时释放的方法. 芯片内部数据存储的位置和大小由上层软件通过对命令帧的配置进行合理的规划. 原始数据通过 PC 接口完全上传到上位机后, 该部分接收缓存得到自动释放; 上位机发送数据到 NC, 所使用的数据空间也要在数据发送完成后及时的释放. 以此在保证数据安全可靠的前提下提高存储空间的整体利用率.

另外根据文献[3]的分析, NT 到 NT 的传输模式下, 点到点的组网方式中, 由于数据经过 NC 的转发, 传输延迟较长. 如图 3(a)所示.

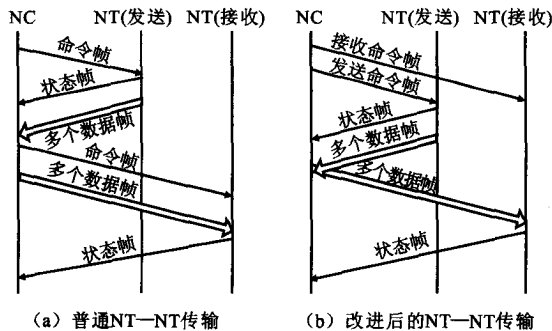


图3 基于 PON 结构的 NT-NT 传输

针对上述情况进行改进, 如图 3(b)所示. 改变命令帧的发送顺序, 在 NC 模式下, 在内存中单独划分出一定的接收缓存 (如 32 个字) 用来存储 NT-NT 时 NC 需要转发的数据, 在该接收缓存半满的时 NC 进行数据的转发. NC 转发延迟时间固定化为 16 个周期, 数据长度越长, 提升效果越明显.

3.2 NT 内存架构设计

NT 的内存架构设计在数据存储上与 NC 有一定差别. NT 用来连接终端或实现桥接功能,它可以连接多个外部设备,如视频、音频、雷达或各种传感器.大多数设备需要及时传输数据到 NT 的存储空间,所以不同的 NT,可能需要分配的存储空间方式不一样.我们使用了一种环形的循环存储管理方式,根据实际情况,在对 NT 进行配置的时候不同的挂接设备分配不同的存储空间.如果一个设备的存储空间存满了,更多的数据将从该空间的起始位置自动进行覆盖存储.因此,如果某个设备的数据必须实时的发送给 NC,则需要进行任务配置的时候优先考虑.对于某些设备,NC 只需要知道最新的信息,如一些传感器,在这种情况下,数据的覆盖不会造成任何影响. NT 的内存管理如图 4 所示.

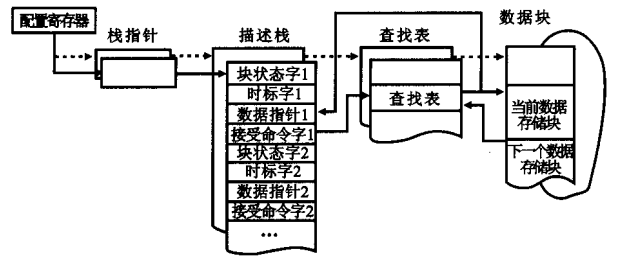


图 4 NT 存储器管理示意图

从图 4 可以看出,NT 也采用了双缓冲机制,不同的是对数据块的控制使用了查找表功能,“查找表”在进行 NT 初始化的时候进行配置,不同的 NT 可以根据自身情况灵活设置,它主要根据收到的命令帧的具体内容选择接收、发送还是广播等工作模式,再根据查找表中的“子地址控制字”对各个挂接模块设置的缓存大小进行数据的循环存储.

4 内存架构具体划分及功耗分析

根据 NC 和 NT 工作模式的存储器管理架构设计,对 NC、NT 的内存具体划分如表 1 所示.

本协议硬件实现采用的是 TSMC 的 0.13 $\mu$ m 工艺,使用 SRAM-DP-HS 软件自动生成双端口 RAM,该软件最大可生成 8K $\times$ 32 的 RAM 块,根据设计的内存划分,需要两个 RAM 才能满足设计需求.由于芯片应用环境的特殊性,要求具备较低的功耗,而高速大批量的数据传输必然会对内部 RAM 进行频繁的访问,因此,能否有效降低内部 RAM 的动态功耗成为了关键.根据内存的具体存储空间的划分,NC 工作模式下需要 4K $\times$ 32 的控制信息存储空间,NT 工作模式下需要 2K $\times$ 32 的控制信息存储

空间.利用存储器分块访问技术,对 RAM 块以 2K $\times$ 32 的单元进行组合,采取 8 块 2K $\times$ 32 的 RAM 代替 2 块 8K $\times$ 32 的 RAM.其功耗和面积对比如表 2 所示(其中芯片电压为 1V,工作频率为 125MHz).

表 1 协议芯片内存具体划分

| NC 内存划分   |                  | NT 内存划分   |             |
|-----------|------------------|-----------|-------------|
| 地址(HEX)   | 描述               | 地址(HEX)   | 描述          |
| 0000—001F | 保留(控制寄存器地址)      | 0000—001F | 保留(控制寄存器地址) |
| 0020—0023 | 栈指针 A            | 0020—002F | 栈指针 A       |
| 0024—0027 | 栈指针 B            | 0030—007F | 栈指针 B       |
| 0028—002F | 保留               | 0080—01BF | 描述堆栈 A      |
| 0030—016F | 描述堆栈 A           | 01C0—03EF | 命令区域 A      |
| 0170—07FF | 信息块 A            | 03F0—043F | 查找表 A       |
| 0800—082F | 映射为 NT—NT 时的接收缓存 | 0440—057F | 描述堆栈 B      |
| 0830—096F | 描述堆栈 B           | 0580—07AF | 命令区域 B      |
| 0970—0FFF | 信息块 B            | 07B0—07FF | 查找表 B       |
| 1000—3FFF | 数据块              | 0800—3FFF | 数据块         |

表 2 不同 RAM 块面积功耗对比

| 模块大小                       | 8K * 32       | 2K * 32      | 百分比%     |
|----------------------------|---------------|--------------|----------|
| 面积( $\mu$ m <sup>2</sup> ) | 1810379.4 * 2 | 545281.8 * 8 | ↑ 20.48% |
| 单端口读功耗(mW)                 | 179.998       | 121.831      | ↓ 32.32% |
| 单端口写功耗(mW)                 | 214.956       | 141.185      | ↓ 34.32% |

由表 2 可以看,采用存储器分块访问技术后面积增加了 0.74mm<sup>2</sup>,增加了 20%,但动态功耗得到了明显降低,平均动态功耗降低了 33.32%,在很大程度上提高了芯片的寿命和可靠性,对于航空环境的特殊情况下用面积换功耗还是值得的.

5 传输效率验证

在 Xilinx Virtex5 开发板上对原型代码进行验证,如图 5 所示.验证平台拥有丰富的外设,包括: SFP 模块、OLT 模块、ONU 模块、PCIe 接口、以太网和 61580 芯片等.完全满足系统的测试需求.

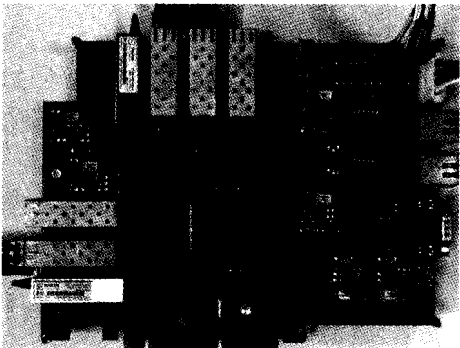


图 5 原型代码验证平台

通过软件平台(见图 6),对芯片配置需要传输

的任务组数据. 该软件主要的功能是按照前面提到的存储管理机制, 生成数据存储器中各个板块的数据信息, 包括配置信息和待传输的随机数据.

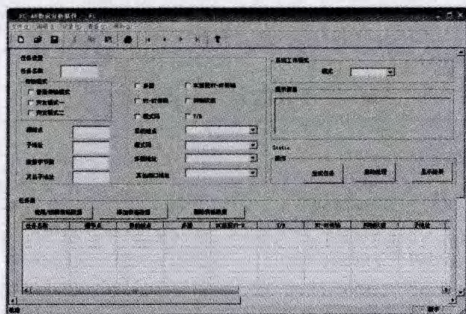


图 6 FC-AE 协议配置软件

### 5.1 传输延迟

通过 Chipscope 采样, 可以计算出端到端的传输延迟, 即 NC 发送隔离 FIFO 输出数据到 NT 接收隔离 FIFO 写入数据之间的时间间隔. 如图 7 所示. 图中为命令帧的传输, 在 NC 发送出去的时刻为 6295.5T, NT 接收到该命令帧的时刻为 6361.5T, 其中 T 为系统时钟 125MHz 的周期, 由此可以得到传输延迟为:  $t_d = (6361.5 - 6295.5)T = 0.52\mu s$ ;

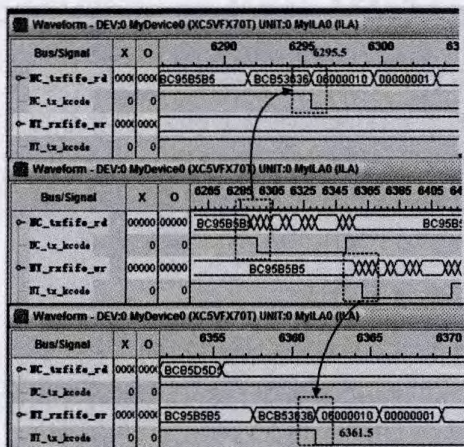


图 7 NC 到 NT 的传输延迟

对于 NT-NT 的传输模式, 因为 NC 需要缓存 16 个周期的数据再进行数据转发, 所以延时为  $t_{dn} = t_d + 16T = 0.65\mu s$ . 满足协议规定最大延迟此延时  $2\mu s$  要求. 也远小于文献[3]中的数据.

### 5.2 数据净荷率

由于芯片内部使用了双端口 RAM, 所以上位

机和芯片内部逻辑可以同时 RAM 进行访问, 交互时间可以看成是“0”. 根据传输数据的长度不同, 通过比较传输不同传输数据长度下实际信息载荷量, 得出数据净荷率随传输数据总量的变化趋势如图 8 所示. 随着传输数据量的增加, 数据净荷率趋于稳定状态, 接近于 96%.

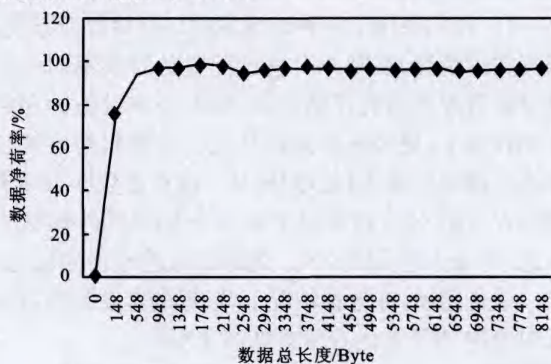


图 8 数据净荷率变化趋势图

## 6 结束语

本文通过对下一代航空总线协议的内存访问架构的分析, 提出了适合航空特殊环境的低功耗高效率设计. 从实验结果可以看出, 采取该架构的内存访问方式改善了 PON 结构网络在 NT-NT 传输方式的不足, 降低了动态功耗, 达到了设计的目的.

### 参考文献:

- [1] 周天然, 宋丽茹, 熊华钢, 等. 航空电子环境下 FC 网络的建模与仿真[J]. 北京航空航天大学学报, 2008, 34(10): 1117-1120.
- [2] 周桃, 宗竹林, 赵磊. 一种 PON 结构航电总线协议的建模与仿真[J]. 计算机工程与应用, 2011(10): 60-63.
- [3] 陈勇, 林宝军, 张善从. 不同拓扑结构 FC-AE-1553B 网络性能研究[J]. 计算机工程, 2011(11): 79-81.

### 作者简介:

周鹏飞 男, (1981—), 硕士研究生. 研究方向为光纤航电总线协议的研究与芯片的设计.

宗竹林 男, (1982—), 博士研究生. 研究方向为算法分析与设计.

肖龙 男, (1988—), 硕士研究生. 研究方向为 SOC 设计与验证.